

**Partial English Translation of
JAPANESE UTILITY MODEL REGISTRATION
Laid Open Publication No. 62-62452A**

[Title of the Device] Monolithic Microwave Integrated Circuit Device
FIG. 2(b) Electric power wire

Page 8, line 5 to page 10, line 4

Further, another embodiment of the MMIC in the present device is shown in FIG. 2. FIG. 2(a) shows a pattern of a single-pole double-throw MMIC switch, and FIG. 2(b) is a section taken along the line X-X' in FIG. 2(a), wherein active elements such as two FETs (13-(a), 13-(b)) and the like, an input terminal 14 and output terminals (15-(a), 15-(b)) are formed on a GaAs semiconductor substrate 12 on the reverse face of which a grounding conductive film 11 is formed. They are interconnected with each other by means of micro-strip lines. Further, through holes 19 are formed along the micro-strip lines (16-(a), 16-(b)) that connect each FET (13-(a), 13-(b)) and the output terminals (15-(a), 15-(b)) at intervals less than $1/4$ of the wavelength of the operation frequency. The through holes 19 are connected to the grounding conductive film 11 on the reverse face of the semiconductor substrate 12. Further, a dielectric film 17 is formed across the micro-strip lines (16-(a), 16-(b)) in the region interposed between the through holes 19 on the semiconductor substrate. The dielectric film 17 is made of a dielectric having a comparatively small dielectric constant such as polyimide, for example. Moreover, a metal film 18 is formed on the upper portion of the semiconductor substrate 12 with the dielectric film 17 interposed so as to cover the micro-strip lines (16-(a), 16-(b)). Wherein, the metal film 18 is connected to the grounding conductive film 11 through the through holes 19.

In the thus constituted single-pole double-throw MMIC switch, the two micro-strip lines (16-(a), 16-(b)) are independently and completely

surrounded by the metal film 18, the through holes 19, and the grounding conductive film 11, as shown in FIG. 2(a). Accordingly, an electric power line, which connects the micro-strip lines (16-(a), 16-(b)) thereabove in the conventional case, is not present and an electric power line connecting the micro-strip lines (16-(a), 16-(b)) through the through holes 19 with the dielectric substrate 12 interposed is not present, also. As a result, electromagnetic coupling between the micro-strip lines (16-(a), 16-(b)) can be reduced remarkably, enabling provision of a MMIC in which the degree of separation between micro-strip lines is increased remarkably.

公開実用 昭和62-62452

⑩ 日本国特許庁(JP)

⑪ 実用新案出願公開

⑫ 公開実用新案公報(U)

昭62-62452

⑬ Int. Cl. *

識別記号

庁内整理番号

⑭ 公開 昭和62年(1987)4月17日

H 01 L 27/00

6655-5F

H 01 P 27/04

Z-7514-5F

H 01 P 3/08

7741-5J

審査請求 未請求 (全 頁)

⑮ 考案の名称 モノリシックマイクロ波集積回路装置

⑯ 実 願 昭60-153139

⑰ 出 願 昭60(1985)10月8日

⑱ 考 案 者 柴 田 清 裕 川崎市幸区小向東芝町1 株式会社東芝小向工場内

⑲ 考 案 者 副 島 知 英 川崎市幸区小向東芝町1 株式会社東芝小向工場内

⑳ 出 願 人 株 式 会 社 東 芝 川崎市幸区堀川町72番地

㉑ 代 理 人 弁理士 則近 憲佑 外1名

明 細 書

1. 考案の名称

モノリシックマイクロ波集積回路装置

2. 実用新案登録請求の範囲

一方の面に接地導体膜が形成された半導体基板と、

この半導体基板の他方の面に形成された複数の素子と、

この複数の素子を相互に接続するマイクロストリップ線路と、

このマイクロストリップ線路の中の所定のマイクロストリップ線路上を横断して設けられ、前記半導体基板上に形成された誘電体膜と、この誘電体膜上に形成された前記マイクロストリップ線路を覆う金属膜とを具備したことを特徴とするモノリシックマイクロ波集積回路装置。

3. 考案の詳細な説明

〔考案の技術分野〕

本考案は半導体基板上に複数の素子を形成し、これら複数の素子がマイクロストリップ線路に

(1)

642

より相互接続された構成をもつモノリシックマイクロ波集積回路装置（以下MMICと称す）に関する。

〔考案の技術的背景とその問題点〕

近年GaAs（砒化ガリウム）等の半絶縁性半導体基板上にFET（電界効果トランジスタ）、ダイオード及び整合回路、バイアス回路等を形成するMMIC技術が開発され実用化に致つてゐる。MMICは回路の小形、軽量化及び量産時の低コスト化が可能であるため、将来各種装置への応用が期待されている。

第4図(a)はレーダ装置等で用いられる単極双投MMICスイッチのパターン図の一例を示したものであり、裏面に接地導体膜1（図示せず）が形成されたGaAs半導体基板2上に2個のFET（3-(a)、3-(b)）、入力端子4及び出力端子（5-(a)、5-(b)）が形成され、さらにこれらはマイクロストリップ線路によつて相互接続されている。なおこのMMICは2個のFET（3-(a)、3-(b)）のバイアス電圧を制御す

(2)

ること、高周波信号の出力を出力端子 5-(a) あるいは出力端子 5-(b) に切りかえることができる。

しかしながら第 4 図 (a) に示した MMIC では、高周波の出力端子 (5-(a), 5-(b)) で 2 本のマイクロストリップ線路 (6-(a), 6-(b)) が近接して配置されているので、線路間隔を小さくすれば線路間の電磁界結合が大きくなり、出力端子 (5-(a), 5-(b)) における分離度が小さくなるので、これが MMIC の小形化を阻止してきた。すなわち第 4 図 (b) は第 4 図 (a) の X-X' 断面を示したものであり、マイクロストリップ線路 (6-(a), 6-(b)) 間の電気力線の状態を示している。第 4 図 (b) よりマイクロストリップ線路 (6-(a), 6-(b)) 間には電磁界結合が起つていることがわかり、この電磁界結合のために出力端子 (5-(a), 5-(b)) において分離度を十分大きくできない欠点があつた。

ところで従来このようなマイクロストリップ線路間の電磁界結合を減少させるために、第 4

図(a)のマイクロストリップ線路(6-(a), 6-(b))の間に金属パターンを設けることが試みられている。すなわち第5図(a)は第4図(a)のMMICにおいてマイクロストリップ線路(6-(a), 6-(b))間に金属パターン7を設置したときのX-X'断面を示したものであり、第5図(b)は第5図(a)の金属パターン7を接地導体膜1にスルーホール8により接続された構造を示したものである。この場合マイクロストリップ線路(6-(a), 6-(b))間の電気力線は一部が金属パターン7やスルーホール8で接地されているが、マイクロストリップ線路(6-(a), 6-(b))の上部での電気力線の結合は存在するので、電磁界結合はあまり小さくすることはできず、MMICが大きな分離度が必要なときは通用できないという欠点があつた。

〔考案の目的〕

本考案は上記の欠点を除去するもので、MMIC内部の各素子間を接続するマイクロストリップ線路間の電磁界結合を小さくしたMMIC

を提供することを目的とする。

〔 考案の概要 〕

上記目的を達成するために本考案は、裏面に接地導体膜が形成された半導体基板上に複数の素子を形成し、これら複数の素子がマイクロストリップ線路により相互接続された構成を有するMMICにおいて、マイクロストリップ線路の中の所定のマイクロストリップ線路を誘電体膜を介した金属膜によつて遮へいすることを特徴とするものである。

〔 考案の実施例 〕

以下本考案のMMICの一つの実施例を図面を参照して説明する。第1図(a)は単極双投MMICスイッチのパターン図、第1図(b)は第1図(a)のX-X'断面図であり、裏面に接地導体膜11が形成されたGaAs半導体基板12上に2個のFET(13-(a), 13-(b))等の能動素子、入力端子14及び出力端子(15-(a), 15-(b))が形成され、さらにこれらはマイクロストリップ線路によつて相互接続されている。又

(5)

各 F E T (1 3 - (a) , 1 3 - (b)) と出力端子 (1 5 - (a) , 1 5 - (b)) とを接続するマイクロストリップ線路 (1 6 - (a) , 1 6 - (b)) 上を横断して半導体基板 1 2 上に誘電体膜 1 7 が形成されている。さらにこの誘電体膜 1 7 を介してマイクロストリップ線路 (1 6 - (a) , 1 6 - (b)) を覆うように半導体基板 1 2 上に金属膜 1 8 が形成されている。

ところでマイクロストリップ線路 (1 6 - (a) , 1 6 - (b)) の上部に形成する誘電体膜 1 7 としては比誘電率 (ϵ_r) の小さいポリイミド ($\epsilon_r \approx 3.6$) や SiO_2 ($\epsilon_r \approx 4.0$) を用いることができる。一方半導体基板 1 2 として GaAs を用いた場合その比誘電率は $\epsilon_r \approx 12.5$ と大きい。ため、前述のように比誘電率の小さい誘電体を用いることで、上部に金属膜 1 8 を形成したことによるマイクロストリップ線路の特性インピーダンスの変化を小さくすることができる。ただし誘電体膜 1 7 の厚みが GaAs 半導体基板 1 2 に比べて薄い場合には、マイクロストリップ線

路 (1 6 - (a) , 1 6 - (b)) のインピーダンスが小さくなるがこの場合は各々の線路幅を小さくすることで対応できる。

このように構成された単極双投 M M I C スイッチでは第 1 図 (b) に示すように 2 本のマイクロストリップ線路 (1 6 - (a) , 1 6 - (b)) がそれぞれ独立に金属膜 1 8 により囲まれ遮へいされている。したがって従来のマイクロストリップ線路 (1 6 - (a) , 1 6 - (b)) 間の上部で線路間を結んでいた電気力線は存在しない。つまりマイクロストリップ線路 (1 6 - (a) , 1 6 - (b)) 間における電磁界結合を減少させることができるので、マイクロストリップ線路間の分離度を改善した M M I C を提供することができる。

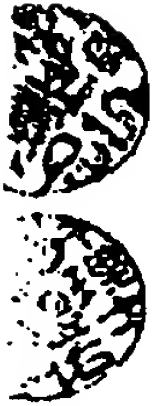
又マイクロストリップ線路間の遮へいを行うのに誘電体膜上に形成された金属膜を用いることにより加工が容易なので、細微なマイクロストリップ線路やマイクロストリップ線路間において容易に遮へいを行うことができる。したがって複数のマイクロストリップ線路の線路間隔

(7)

を小さくし、マイクロストリップ線路を種々変形したMMICの構造が可能になるので、集積度が高く小型のMMICを構成することができる。

又本考案のMMICの他の実施例を第2図に示す。第2図(a)は単極双投MMICスイッチのパターン図、第2図(b)は第2図(a)のX-X'断面図であり、裏面に接地導体膜11が形成されたGaAs半導体基板12上に2個のFET(13-a, 13-b)等の能動素子、入力端子14及び出力端子(15-a, 15-b)が形成され、さらにこれらはマイクロストリップ線路によつて相互接続されている。又各FET(13-a, 13-b)と出力端子(15-a, 15-b)とを接続するマイクロストリップ線路(16-a, 16-b)に沿つてスルーホール19が動作周波数の波長の1/4未満の間隔に設けられている。なおこのスルーホール19は半導体基板12裏面の接地導体膜11に接続されている。又マイクロストリップ線路(16-a, 16-b)

上を横断しスルーホール19によつて挟まれた半導体基板上に誘電体膜17が形成されている。この誘電体膜17は例えばポリイミド等の比誘電率が比較的小さな誘電体である。さらにこの誘電体膜17を介してマイクロストリップ線路(16-(a), 16-(b))を覆うように半導体基板12の上部に金属膜18が形成されている。なおこの金属膜18はスルーホール19を介して接地導体膜11に接続されている。




このように構成された単極双投MMICスイッチでは第2図(a)に示すように2本のマイクロストリップ線路(16-(a), 16-(b))がそれぞれ独立に金属膜18, スルーホール19, 及び接地導体膜11により完全に囲まれている。したがつてマイクロストリップ線路(16-(a), 16-(b))間の上部で線路間を結んでいた従来_の電気力線は存在せず、さらにスルーホール19により誘電体基板12を介してマイクロストリップ線路(16-(a), 16-(b))間を結ぶ電気力線も存在しない。つまりマイクロストリップ

線路 (1 6 - (a) , 1 6 - (b)) 間における電磁界結合を大幅に減少させることができるので、マイクロストリップ線路間の分離度を大幅に改善した M M I C を提供することができる。

ところで第 1 図及び第 2 図では単極双投 M M I C スイッチにおける出力端子と接続するマイクロストリップ線路間について述べたが、電磁界結合が生じる可能性のある他の部分のマイクロストリップ線路に適用することも可能である。さらに他の M M I C チップ内のマイクロストリップ線路に上記実施例を適用することも可能である。

例えば第 3 図は入力端子と出力端子が近接した位置に設けられた多段型増幅器を構成した M M I C である。第 3 図 (a) 及び第 3 図 (b) に示すように裏面に接地導体膜 2 1 が形成された半導体基板 2 2 上に複数の F E T (2 3 - (a) ~ 2 3 - (c)) , 整合回路 (2 4 - (a) ~ 2 4 (d)) , 入力端子 2 5 及び出力端子 2 6 が形成され、さらにこれらはマイクロストリップ線路によつて相互接

続されている。又入力端子 25 及び出力端子 26 のそれぞれに対応した FET (23-(b), 23-(c)) とを接続する入力側マイクロストリップ線路 27 及び出力側マイクロストリップ線路 28 に沿つて接地導体膜 21 に接続したスルーホール 31 が設けられている。又入力側及び出力側のマイクロストリップ線路 (27, 28) 上には誘電体膜 29 が形成され、この誘電体膜 29 及び半導体基板 22 の上部にスルーホール 31 に接続された金属膜 30 が形成されている。



このような構成の多段型増幅器の MMIC は、上記実施例と同様に入力側及び出力側のマイクロストリップ線路 (27, 28) はそれぞれ金属膜 30、スルーホール 31 及び接地導体膜 22 により完全に囲まれ遮へいされている。したがつて入力側及び出力側マイクロストリップ線路 (27, 28) 間においては電磁界結合が生じず、出力側マイクロストリップ線路 28 の信号が入力側マイクロストリップ線路 27 へ漏れることがないので、MMIC が発振する恐れがな

くなる。

〔考案の効果〕

以上述べたように本考案によれば、MMIC内部の各素子間を接続するマイクロストリップ線路を誘電体膜を介した金属膜で囲むことによりマイクロストリップ線路間の電磁界結合が小さくなるので、各入出力端子間での分離度が大きく形状の小さなMMICを容易に構成することができる。

4. 図面の簡単な説明

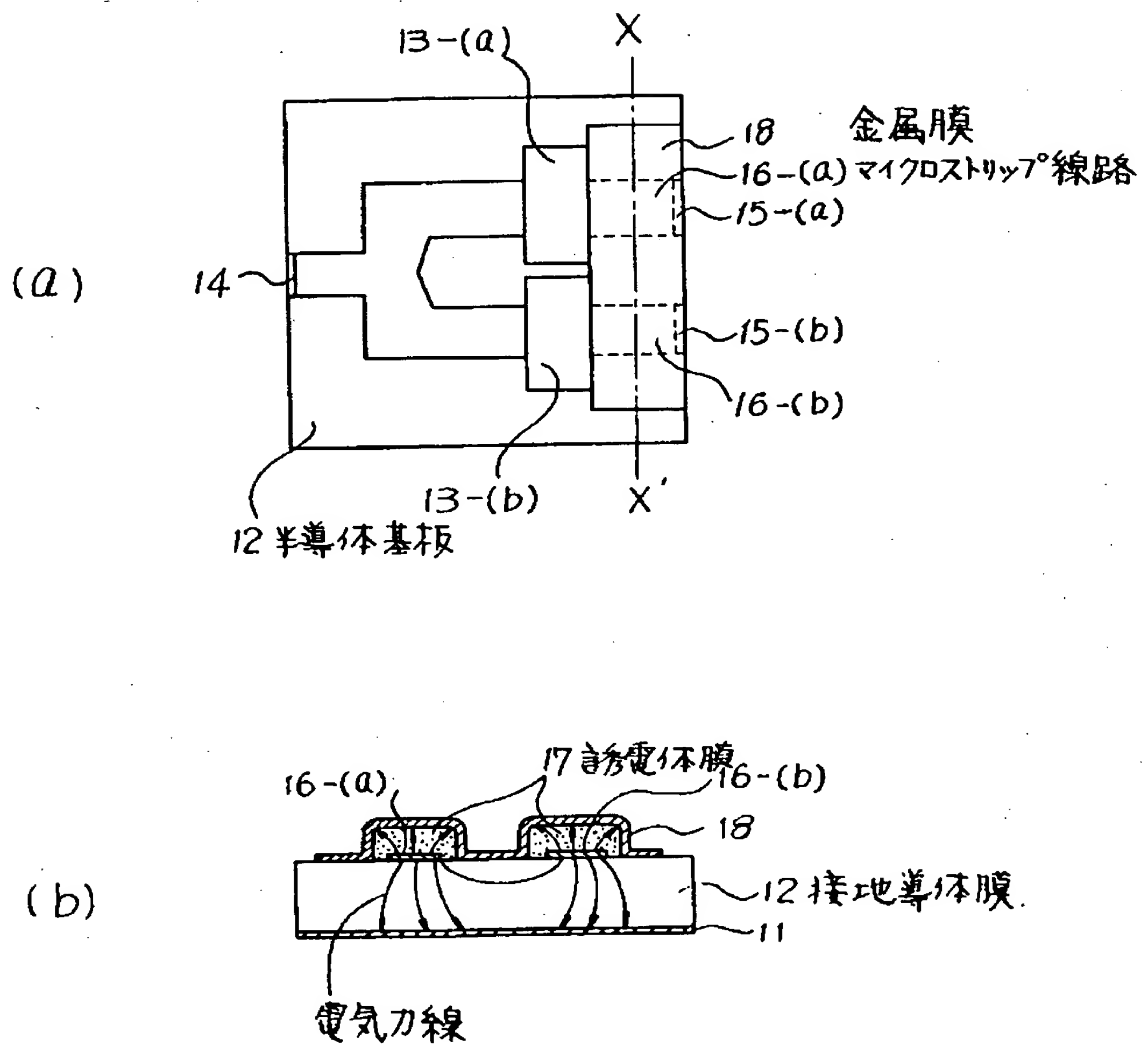
第1図(a)は本考案のMMICの一実施例を示す単極双投MMICスイッチの平面パターン図、第1図(b)は第1図(a)のX-X'から見た断面図であり電気力線の状態を示す図、第2図(a)は本考案のMMICの他の実施例を示す単極双投MMICスイッチの平面パターン図、第2図(b)は第2図(a)のX-X'から見た断面図であり電気力線の状態を示す図、第3図(a)は本考案のMMICの他の実施例を示す多段増幅器のMMICの平面パターン図、第3図(b)は第3図(a)のX-X'

X' から見た断面図であり電気力線の状態を示す図、第4図(a)、(b)及び第5図(a)、(b)は従来の単極双投MMICの平面パターン図及び電気力線の状態を示す断面図である。

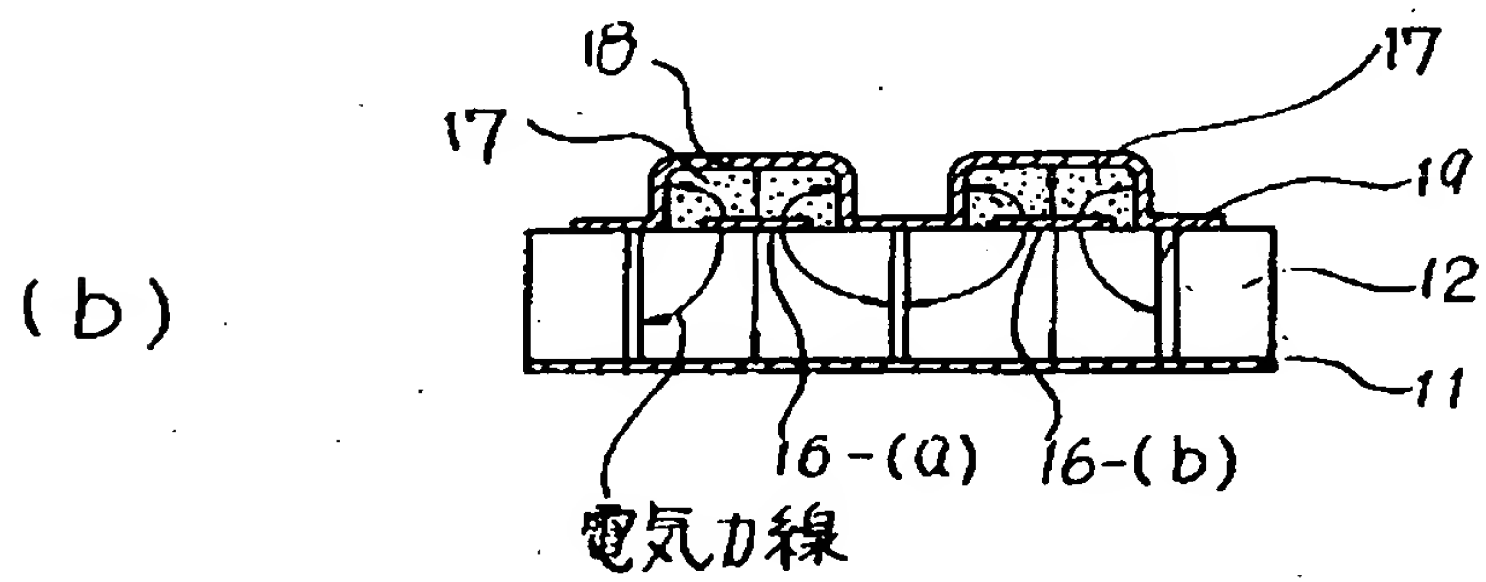
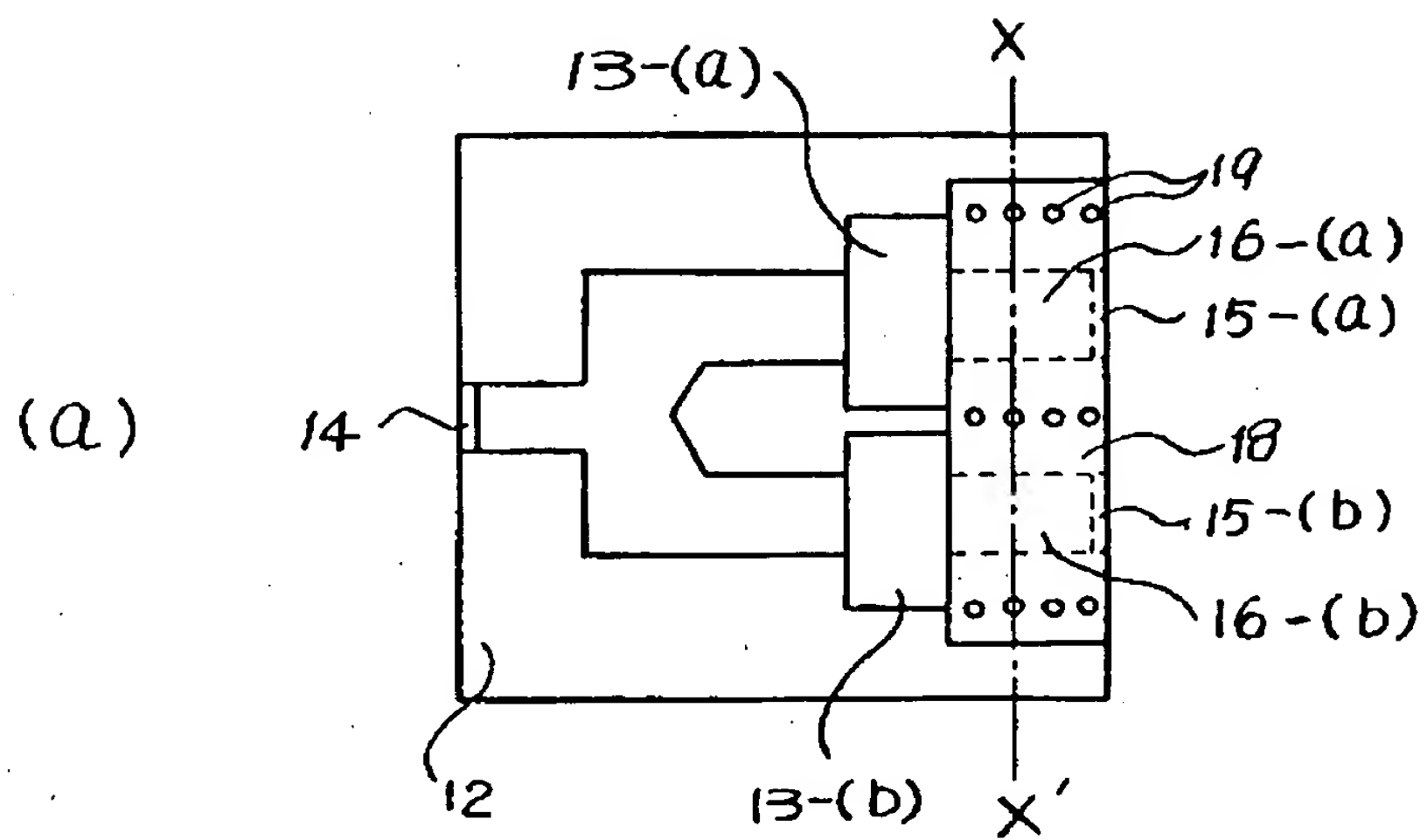
1 1 … 接地導体膜、1 2 … 半導体基板、1 6 - (a)、1 6 - (b) … マイクロストリップ線路、1 7 … 誘電体膜、1 8 … 金属膜。

代理人 弁理士 則 近 憲 佑
同 竹 花 喜久男





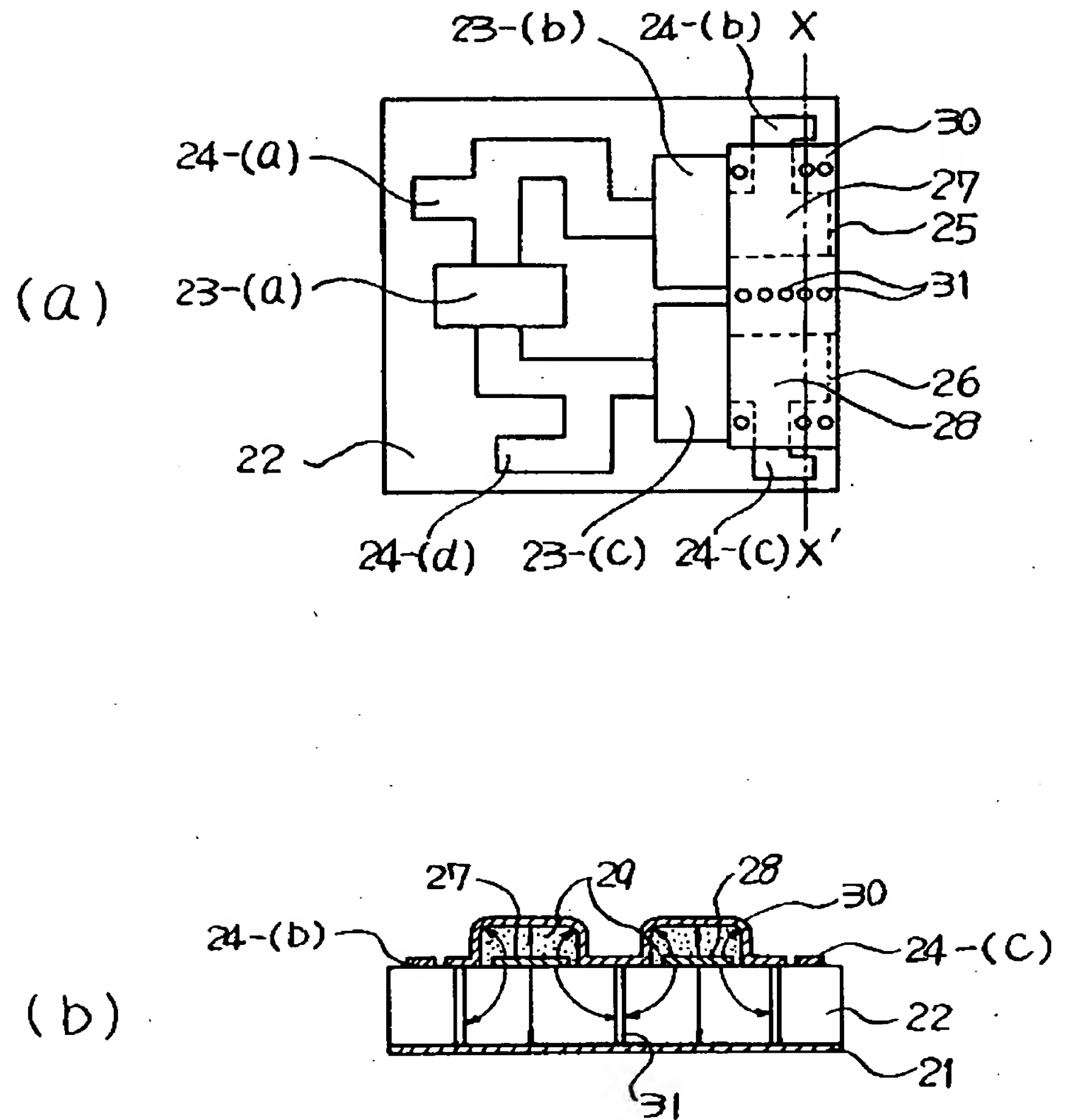
第 1 図



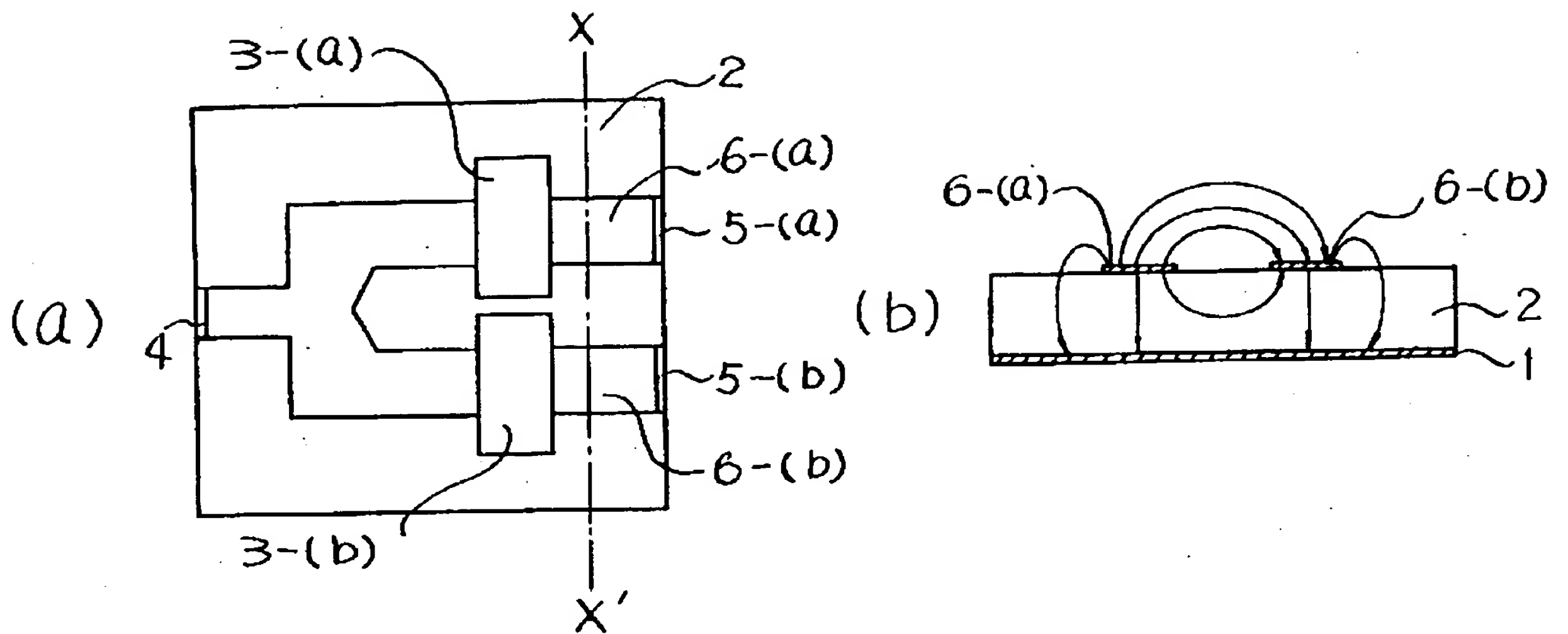
第 2 図

656

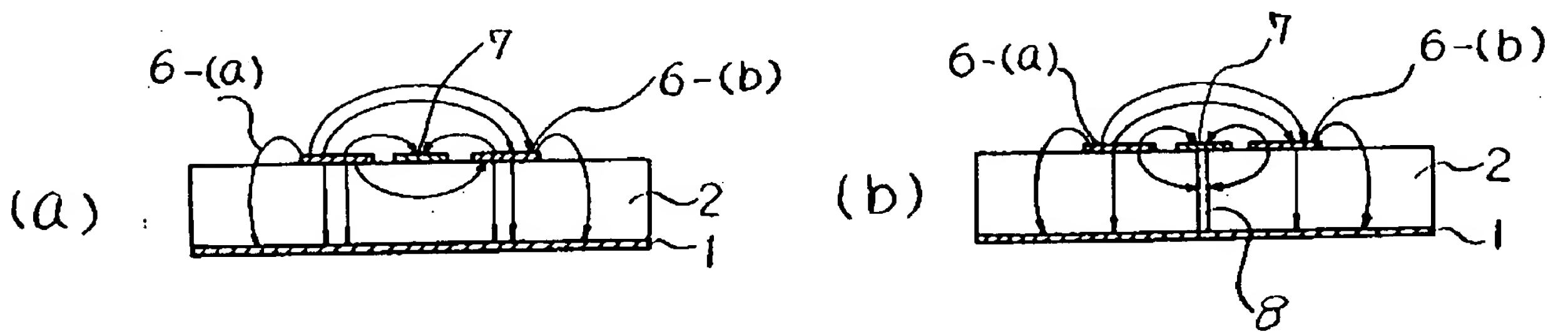
第 2 図 (2152)



第 3 図



第 4 図



第 5 図

**This Page is Inserted by IFW Indexing and Scanning
Operations and is not part of the Official Record**

BEST AVAILABLE IMAGES

Defective images within this document are accurate representations of the original documents submitted by the applicant.

Defects in the images include but are not limited to the items checked:

- ☐ **BLACK BORDERS**
- ☐ **IMAGE CUT OFF AT TOP, BOTTOM OR SIDES**
- ☐ **FADED TEXT OR DRAWING**
- ☐ **BLURRED OR ILLEGIBLE TEXT OR DRAWING**
- ☐ **SKEWED/SLANTED IMAGES**
- ☐ **COLOR OR BLACK AND WHITE PHOTOGRAPHS**
- ☐ **GRAY SCALE DOCUMENTS**
- ☐ **LINES OR MARKS ON ORIGINAL DOCUMENT**
- ☐ **REFERENCE(S) OR EXHIBIT(S) SUBMITTED ARE POOR QUALITY**
- ☐ **OTHER:** _____

IMAGES ARE BEST AVAILABLE COPY.

As rescanning these documents will not correct the image problems checked, please do not report these problems to the IFW Image Problem Mailbox.